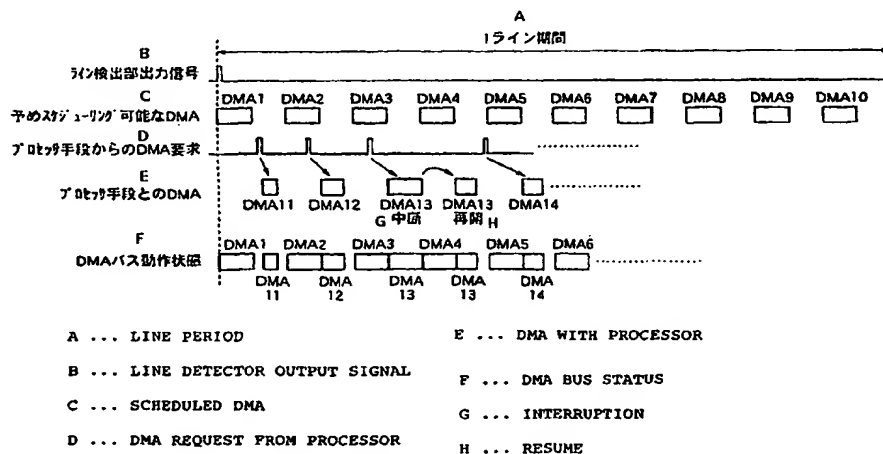




<p>(51) 国際特許分類7 G06F 13/28, 13/362</p>	<p>A1</p>	<p>(11) 国際公開番号 WO00/31647</p> <p>(43) 国際公開日 2000年6月2日(02.06.00)</p>
<p>(21) 国際出願番号 PCT/JP99/06590</p> <p>(22) 国際出願日 1999年11月25日(25.11.99)</p> <p>(30) 優先権データ 特願平10/335442 1998年11月26日(26.11.98) JP 特願平10/338082 1998年11月27日(27.11.98) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP] 〒571-8501 大阪府門真市大字門真1006番地 Osaka, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 孝橋靖雄(KOHASHI, Yasuo)[JP/JP] 〒819-0052 福岡県福岡市西区下山門4-16-22-402 Fukuoka, (JP) 森岩俊博(MORIIWA, Toshihiro)[JP/JP] 〒814-0015 福岡県福岡市早良区室見3-1-1-303 Fukuoka, (JP) 東島勝義(TOJIMA, Masayoshi)[JP/JP] 〒814-0015 福岡県福岡市早良区室見3-1-1-106 Fukuoka, (JP) 九郎丸俊一(KUROMARU, Shunichi)[JP/JP] 〒814-0015 福岡県福岡市早良区室見3-1-1-401 Fukuoka, (JP)</p>		<p>大橋政宏(OHASHI, Masahiro)[JP/JP] 〒811-2413 福岡県糟屋郡篠栗町尾仲1100-1-407 Fukuoka, (JP)</p> <p>(74) 代理人 早瀬憲一(HAYASE, Kenichi) 〒564-0053 大阪府吹田市江の木町17番1号 江坂全日空ビル8階 早瀬特許事務所 Osaka, (JP)</p> <p>(81) 指定国 CN, IN, JP, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p>

(54) Title: IMAGE PROCESSING DEVICE

(54) 発明の名称 画像処理装置



(57) Abstract

As shown in Fig. 1, an image processing device comprises image I/O means (100); external memory (111); DMA control means (112) including DMA setting storage means (113), address generator means (114), DRAM control means (115), DMA request generator means (119) and DMA request arbiter means (120); a processor (116) including encoder/decoder means (117); and a DMA bus (118). In this image processing device, a group of DMA-scheduled data is first divided into bursts of data for transmission, and the DMA request generator means periodically issues a DMA request for the bursts of data. In the absence of such data to be transferred, DMA is carried out for data other than DMA scheduled. As a result, a concentration of DMA is prevented.

(57)要約

この発明に係る画像処理装置は、第1図に示すように、画像入出力処理手段100と、外部メモリ111と、DMA設定保持手段113、アドレス発生手段114、DRAM制御手段115、DMA要求発生手段119、及びDMA要求調停手段120を備えたDMA制御手段112と、符号化/復号化処理手段117を含むプロセッサ116と、DMAバス118と、を備えたものである。

このように構成される画像処理装置では、予め、DMAスケジューリング可能な転送データ群をバースト転送単位に分割し、DMA要求発生手段が、前記バースト転送単位のDMA要求を周期的に発行し、転送データをDMAしていない期間に、DMAスケジューリング不可能な転送データをDMAすることで、特定のDMAの集中を防止出来る。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦
AL アルバニア
AM アルメニア
AT オーストラリア
AU オーストラリア
AZ アゼルバイジャン
BA ボスニア・ヘルツェゴビナ
BB バルバドス
BE ベルギー
BF ブルキナ・ファソ
BG ブルガリア
BJ ベナン
BR ブラジル
BS ベラルーシ
BY カナダ
CA 中央アフリカ
CF コンゴ
CG スイス
CH コートジボアール
CI カメルーン
CM 中国
CN コスタ・リカ
CR キューバ
CU キプロス
CY チェッコ
CZ ドイツ
DE デンマーク

DM ドミニカ
EE エストニア
ES スペイン
FI フィンランド
FR フランス
GA ガボン
GB 英国
GD グレナダ
GE グルジア
GH ガーナ
GM ガンビア
GN ギニア
GW ギニア・ビサウ
GR ギリシャ
HR クロアチア
HU ハンガリー
IE アイルランド
ID インドネシア
IL イスラエル
IN インド
IS アイスランド
IT イタリア
JP 日本
KE ケニア
KG キルギスタン
KP 北朝鮮
KR 韓国

KZ カザフスタン
LC セントルシア
LI リヒテンシュタイン
LK スリ・ランカ
LR リベリア
LS レソト
LT リトアニア
LU ルクセンブルグ
LV ラトヴィア
MA モロッコ
MC モナコ
MD モルドヴァ
MG マダガスカル
MK マケドニア旧ユーゴスラヴィア共和国
ML マリ
MN モンゴル
MR モーリタニア
MW マラウイ
MX メキシコ
NE ニジェール
NL オランダ
NO ノールウェー
NZ ニュー・ジージーランド
PL ポーランド
PT ポルトガル
RO ルーマニア

RU ロシア
SD スーダン
SE スウェーデン
SG シンガポール
SI スロヴェニア
SK スロヴァキア
SL シェラ・レオネ
SN セネガル
SZ スワジランド
TD チャード
TG トーゴ
TJ タジキスタン
TZ タンザニア
TM トルクメニスタン
TR トルコ
TT トリニダード・トバゴ
UA ウクライナ
UG ウガンダ
US 米国
UZ ウズベキスタン
VN ヴィエトナム
YU ユーゴスラビア
ZA 南アフリカ共和国
ZW ジンバブエ

明 細 書

画像処理装置

5 技術分野

本発明は、種類の異なるデータを時分割で共有するメモリのデータ転送効率を向上させるデータ転送制御装置を有する画像処理装置に関する。

背景技術

10 近年、テレビ電話やテレビ会議システムなど、画像通信を利用したシステムへの関心が高まっているが、一般的に、このシステムで利用する通信回線は伝送速度が低いため、膨大な画像データの伝送には画像の符号化／復号化技術が必要不可欠であり、実際に今までに種々の符号化／復号化方式が考案されている。

15 またこのような状況の中、画像の符号化／復号化処理をプログラム制御可能なプロセッサで行う画像処理装置であって、制御を行うプログラムの入れ替えにより、種々の符号化／復号化方式に柔軟に対応可能とした画像処理装置の提供が要望されている。

また、従来の画像処理装置における映像の圧縮伸張処理では、一部分の領域
20 の画像データを獲得する等の複雑なデータ転送が必要とされてきている。このような複雑なデータ転送は、多くの制御情報を基にして実現されるため、現在実行中のデータ転送が終了した後で制御情報を獲得してから次のデータ転送を実行すると、制御情報の数が多いほどデータ転送を終了してから次のデータ転送を実行できる迄の間隔が広がり、データ転送の効率が悪化するという問題
25 があった。

そしてこの問題を解決するために、従来の画像処理装置では、データ転送制御情報獲得手段と予約データ転送情報保持手段を設けて、データ転送実行中に次のデータ転送に必要な制御情報を獲得して、この情報を予約データ転送情報保持手段に準備しておき、実行中のデータ転送が終了すると、前記予約データ

転送情報保持手段に準備していた制御データを基にして直ちに次のデータ転送を開始できるデータ転送制御装置を備えている。

以上説明した、従来用いられている、符号化／復号化処理をプログラム制御可能なプロセッサで行う画像処理装置Xの一例について、第8図を参照しつつ説明する。

第8図は画像処理装置Xのブロック構成図である。この画像処理装置Xは、画像入出力処理手段500、入力画像の解像度変換、及び入力画像と前フレーム画像とを用いての画像ノイズ除去処理、を行う入力制御手段501、入力制御手段501から外部メモリ511へデータを転送する前に、入力制御手段501の出力画像データを一時保持する入力画像バッファ502、外部メモリ511に格納している前フレーム画像データを入力制御手段501へ渡す前に一時保持する前フレーム画像バッファ503、外部メモリ511に格納している表示用画像データを子画面生成手段505へ渡す前に一時保持する子画面生成入力バッファ504、外部メモリ511に格納している表示用画像データを子画面に解像度変換する子画面生成手段505、子画面生成手段505から外部メモリ511へデータを転送する前に子画面生成手段505で生成した子画面画像データを一時的に保持する子画面生成出力バッファ506、外部メモリ511に格納している子画面画像データを表示制御手段510に渡す前に一時保持する子画面バッファ507、外部メモリ511に格納している表示用画像データを表示制御手段510に渡す前に一時保持する親画面バッファ508、外部メモリ511に格納しているグラフィックスデータを表示制御手段510に渡す前に一時保持するグラフィックスバッファ509、符号化対象画像、子画面、表示用画像、グラフィックスと言った種類の異なる画像データを領域分割して保持する外部メモリ511、画像入出力処理手段500又はプロセッサ手段516と外部メモリ511とのデータ転送、即ちダイレクトメモリアクセス(Direct Memory Access、以下、「DMA」と呼ぶ。)の制御を行うDMA制御手段512、前記DMA制御を行うための各種設定情報を保持しておくDMA設定保持手段513、DMA設定情報に従って外部メモリ511のアドレスを発生するアドレス発生手段514、外部メ

メモリ 511 の書き込み又は読み出し制御を行う DRAM 制御手段 515、プログラム制御可能なプロセッサ手段 516、外部メモリ 511 の画像又は符号データをプログラム制御で処理する符号化／復号化処理手段 517、各バッファ、即ち、入力画像バッファ 502 と、前フレーム画像バッファ 503 と、子画面生成入力バッファ 504 と、子画面生成出力バッファ 506 と、子画面バッファ 507 と、親画面バッファ 508 と、グラフィックスバッファ 509、及びプロセッサ手段 516 と外部メモリ 511、の間で DMA を行う DMA バス 518、を備えている。

このように構成された画像処理装置 X の動作を以下に簡単に説明する。

10 まず、入力画像はビデオ同期信号に同期して一定レートで常時、入力制御手段 501 に入力される。

入力画像が入力制御手段 501 に入力されると、入力制御手段 501 は入力画像を符号化対象となる画像サイズに解像度変換したあと、入力画像バッファ 502 に一時格納する。

15 また、入力制御手段 501 は前フレーム画像を用いて、入力画像のノイズを除去する処理を施す場合もある。この場合は、外部メモリ 511 に格納している前フレーム画像を前フレーム画像バッファ 503 に DMA し、前フレーム画像バッファ 503 から前フレーム画像を読み出しながら、ノイズ除去処理を行う。

20 子画面生成手段 505 は、外部メモリ 511 に格納している表示用画像を子画面として表示する場合に、外部メモリ 511 から子画面生成入力バッファ 504 経由で転送された前記表示画像を子画面サイズに解像度変換し、子画面生成出力バッファ 506 に一時格納する。そのあと、子画面生成出力バッファ 506 から外部メモリ 511 に転送される。

25 表示制御手段 510 は、子画面、親画面、グラフィックスデータをそれぞれ子画面バッファ 507、親画面バッファ 508、グラフィックスバッファ 509 から読み出し、表示合成したあと、表示画像としてビデオ同期信号に同期させて一定レートで出力する。

プロセッサ手段 516 は、外部メモリ 511 に格納している符号化対象の画

像データをプロセッサ内部に転送し、符号化処理を行い、符号データを外部メモリ 511 に転送する。また、外部メモリ 511 に格納している符号データをプロセッサ内部に転送し、復号化処理を行い、表示用画像データとして外部メモリ 511 に転送する。

- 5 外部メモリ 511 と、各バッファ、即ち、入力画像バッファ 502、前フレーム画像バッファ 503、子画面生成入力バッファ 504、子画面生成出力バッファ 506、子画面バッファ 507、親画面バッファ 508、グラフィックスバッファ 509、及びプロセッサ手段 516 との間の DMA は、プロセッサ手段 516 が DMA 制御手段 512 に DMA 要求を出すことにより、実行され
10 る。

DMA 制御手段 512 は、プロセッサ手段 516 から DMA 要求があると、DMA 設定保持手段 513 に設定されている DMA 設定情報をアドレス発生手段 514 に渡す。

- アドレス発生手段 514 は、受け取った DMA 設定情報を基に、外部メモリ
15 511 のアクセスアドレスを発生し、DRAM 制御手段 515 に渡す。

- DRAM 制御手段 515 は入力画像バッファ 502、前フレーム画像バッファ 503、子画面生成入力バッファ 504、子画面生成出力バッファ 506、子画面バッファ 507、親画面バッファ 508、グラフィックスバッファ 509、のいずれかのバッファ、又はプロセッサ手段 516 の読み出し又は書き込み制御と、外部メモリ 511 の書き込み又は読み出し制御を行う。
20

- 外部メモリ 511 と、入力画像バッファ 502、前フレーム画像バッファ 503、子画面生成入力バッファ 504、子画面生成出力バッファ 506、子画面バッファ 507、親画面バッファ 508、グラフィックスバッファ 509、及びプロセッサ手段 516 は 1 つの DMA バスで接続しており、外部メモリ 5
25 11 との DMA は時分割で行われる。

しかしながら、上述した従来の画像処理装置 X の構成では、外部メモリ 511 との DMA スケジューリングはプロセッサ手段 516 が全て行っており、プロセッサ手段 516 の処理負荷によっては、DMA 要求の発行タイミングが不規則になることがあり、問題であった。

一方、画像入出力処理手段 500 の画像入出力はビデオ同期信号に同期して一定レートで入出力しなければならないので、DMA の不規則性を吸収するために、各バッファのメモリ容量を大容量にしたり、DMA バス幅の拡張や動作周波数の向上による転送速度の高速化などの手法がとられるが、これには回路規模の増大や回路設計の複雑化という問題があった。

さらに、従来の画像処理装置に用いられるデータ転送制御装置では、実行中のデータ転送が終了した後に次のデータ転送が実行されるようになっているため、例えば、緊急に必要なデータのデータ転送実行開始が遅れて、要求される時間内にデータが得られないなどの場合が発生するという問題点があった。

10 本発明は上記の点に鑑みてなされたものであり、実行中のデータ転送の終了を待たずに優先度の高いデータ転送を開始出来るデータ転送制御装置を備えることで、1つのメモリを共有してDMAを行うデータ転送制御を可能とした画像処理装置であって、特に、特定のDMAが集中発生する事を防止し、同時に回路規模の増大を抑えて、効率の良いDMAを実現するデータ転送制御が可能な画像処理装置を提供することを目的とする。

15

発明の開示

本発明の請求の範囲第1項に記載の画像処理装置では、画像の入出力を行う画像入出力処理手段と、種類の異なる画像データを時分割で共有するメモリと、

20 前記メモリに記憶してあるデータを符号化又は復号化処理する符号化復号化処理手段と、前記メモリから前記画像入出力処理手段又は前記符号化復号化処理手段へのデータ転送を制御するデータ転送制御手段と、を備える画像処理装置において、ダイレクトメモリアクセススケジューリングが可能な転送データ群をバースト転送単位に分割し、前記バースト転送単位のダイレクトメモリア

25 クセスを周期的に行い、前記転送データをダイレクトメモリアクセスしていない期間に、ダイレクトアクセスメモリスケジューリング不可能な転送データをダイレクトメモリアクセスする、ことを特徴とする。

本発明の請求の範囲第2項に記載の画像処理装置では、請求の範囲第1項に記載の画像処理装置において、前記バースト転送単位は、予めダイレクトメモ

リアクセススケジューリング可能な転送データを等量に分割したブロック単位を組合せてなり、前記ブロック単位を周期的にダイレクトメモリアクセスする、ことを特徴とする。

5 本発明の請求の範囲第3項に記載の画像処理装置では、画像の入出力を行う画像入出力処理手段と、種類の異なる画像データを時分割で共有するメモリと、前記メモリから前記画像入出力処理手段又は前記符号化復号化処理手段へのデータ転送を制御するデータ転送制御手段と、を備える画像処理装置において、前記データ転送制御手段は、前記メモリに記憶してあるデータを符号化又は復号化処理する符号化復号化処理手段と、予めダイレクトメモリアクセススケジューリング可能なデータの転送タイミングを発生するダイレクトメモリアクセス要求発生手段と、前記ダイレクトメモリアクセス要求発生手段からのダイレクトメモリアクセス要求があった場合は、前記符号化復号化処理手段とのダイレクトメモリアクセスを中断し、前記画像入出力処理手段のダイレクトメモリアクセスを優先実行するように調停するダイレクトメモリアクセス要求調停手段と、ダイレクトメモリアクセスの設定情報を保持するダイレクトメモリアクセス設定保持手段と、前記ダイレクトメモリアクセス要求調停手段の指示により、ダイレクトメモリアクセス設定情報を基に前記メモリのアドレスを発生して、データ転送をするデータ転送実行手段と、前記メモリの書込み又は読み出しを制御するメモリ制御手段と、を備えたことを特徴とする。

20 本発明の請求の範囲第4項に記載の画像処理装置では、請求の範囲第3項に記載の画像処理装置において、前記ダイレクトメモリアクセス要求発生手段は、フレームの先頭を検出するフレーム検出手段と、フレーム内のラインの先頭を検出する第1ライン検出手段と、前記第1ライン検出手段からのライン先頭信号を受けて計数値をリセットし、以後、動作クロックを計数するクロック計数手段と、前記フレーム検出手段からのフレーム先頭信号を受けて計数値をリセットし、以後、前記第1ライン検出手段からのライン先頭信号を計数するライン計数手段と、前記クロック計数手段の計数値から、予めダイレクトメモリアクセススケジューリング可能なバースト転送単位のダイレクトメモリアクセスの開始時間を検出する第2ライン検出手段と、前記フレーム検出手段からの

フレーム先頭信号と1周期終了後信号で計数値をリセットし、前記第2ライン検出手段からのライン検出信号を計数するライン周期計数手段と、前記ライン計数手段の計数値と、前記第2ライン検出手段の検出信号と、から有効なライン期間を検出する有効垂直期間検出手段と、前記ライン周期計数手段の計数値から有効なラインを検出する有効ライン検出手段と、前記クロック計数手段の計数値からダイレクトメモリアクセスの要求タイミングを検出する要求信号検出手段と、を備え、前記有効垂直期間検出手段の信号出力と、前記有効ライン検出手段の信号出力と、前記要求信号検出手段の信号出力と、からダイレクトメモリアクセス要求信号を生成する、ことを特徴とする。

10 以上のように、本発明の請求の範囲第1項ないし請求の範囲第4項に記載の画像処理装置によれば、DMA制御手段に、予めDMAスケジューリング可能なデータの転送タイミングを発生するDMA要求発生手段と、前記DMA要求発生手段からのDMA要求があった場合に、プロセッサ手段のDMAを中断し、
15 画像入出力処理手段とのDMAを優先実行するように調停するDMA要求調停手段とを設け、予めDMAスケジューリング可能な転送データ群をバースト転送単位に分割し、前記DMA要求発生手段が、前記バースト転送単位のDMA要求を周期的に発行し、前記転送データをDMAしていない期間にスケジューリング不可能な転送データをDMAすることで、特定のDMAの集中を防止し、DMAを規則化できる、というデータ転送制御方法を実現出来るため、各
20 バッファ容量の削減とデータ転送の高効率化ができる。

本発明の請求の範囲第5項に記載の画像処理装置では、請求の範囲第3項に記載の画像処理装置において、前記ダイレクトメモリアクセス設定保持手段が、前記データ転送制御手段の行うデータ転送制御に必要な制御情報を記憶する
25 第1制御情報記憶手段と、前記優先実行するダイレクトメモリアクセスに関するデータ転送制御に必要な制御情報を保持する第2制御情報記憶手段と、前記データ転送実行手段によるデータ転送が中断された時に、当該データを後に再転送するために必要な制御情報を退避させて格納するための第3制御情報記憶手段と、前記第1ないし第3制御情報記憶手段の間での制御情報の転送、及び、前記データ転送実行手段と前記第2制御情報記憶手段及び前記第3制御情

報記憶手段との間での制御情報の転送、を行う制御情報転送手段と、を備えたことを特徴とする。

本発明の請求の範囲第6項に記載の画像処理装置では、請求の範囲第3項記載の画像処理装置において、前記ダイレクトメモリアクセス要求調停部は、前記符号化復号化手段又は前記ダイレクトメモリアクセス要求発生手段からのデータ転送要求を受け付けて、次に実行すべきデータ転送の種別と、データ転送の優先度と、を選択するデータ転送要求調停手段と、前記第2制御情報記憶手段に保持する制御情報に対応するデータ転送の種別を保持する第2データ転送種別保持手段と、前記第2制御情報記憶手段に保持する制御情報に対応する優先度情報を保持する第2データ転送優先度保持手段と、前記データ転送実行手段で実行中のデータ転送の種別を保持する第1データ転送種別保持手段と、前記データ転送実行手段で実行中のデータ転送の優先度情報を保持する第1データ転送優先度保持手段と、前記第3制御情報記憶手段に保持する制御情報に対応するデータ転送の種別を保持する第3データ転送種別保持手段と、前記第3制御情報記憶手段に保持する制御情報に対応するデータ転送の優先度情報を保持する第3データ転送優先度保持手段と、前記データ転送要求調停手段、並びに前記第1ないし第3データ転送種別保持手段、並びに前記第1ないし第3データ転送優先度保持手段、並びに前記第2制御情報保持手段、のいずれかへの制御情報の獲得が終了したことを示す予約終了フラグの情報と、前記第3制御情報記憶手段に保持する制御情報の前記第1制御情報記憶手段への格納が終了したことを示す退避終了フラグの情報と、データ転送実行手段で中断されたデータ転送の種別を保持する中断データ転送種別保持手段と、を用いてデータ転送制御を実行する制御情報退避手段と、を備えたことを特徴とする。

本発明の請求の範囲第7項に記載の画像処理装置では、請求の範囲第6項記載の画像処理装置において、前記データ転送要求調停手段は、受け付けたデータ転送要求のうち、前記第1ないし第3データ転送種別保持手段に保持しているデータ転送の種別を除外したものの中で、最もデータ転送優先度が高いデータ転送要求であって、かつ時間的に最も早く受け付けたデータ転送要求を次に実行するデータ転送として選択すること、を特徴とする。

本発明の請求の範囲第 8 項に記載の画像処理装置では、請求の範囲第 7 項記載の画像処理装置において、前記データ転送要求調停手段は、受け付けたデータ転送要求の優先度情報を登録する優先度情報登録手段と、新たに前記優先度情報登録手段に登録されたデータ転送要求の種別を検出する新規データ転送要求検出手段と、前記新規データ転送要求検出手段によって検出されたデータ転送要求の種別を順番に登録するデータ転送要求順序登録手段と、前記優先度情報登録手段と前記データ転送要求順序登録手段に登録されている情報と、前記第 1 ないし第 3 データ転送種別保持手段に保持している情報と、から、前記第 1 ないし第 3 データ転送種別保持手段に保持しているデータ転送の種別を除外したものの中で最もデータ転送優先度が高いデータ転送要求で、かつ時間的に最も早く受け付けたデータ転送要求の種別を検出する最優先データ転送候補検出手段と、を備えたことを特徴とする。

本発明の請求の範囲第 9 項に記載の画像処理装置では、請求の範囲第 8 項記載の画像処理装置において、前記データ転送要求調停手段は、前記最優先データ転送候補検出手段により検出された結果によって、前記優先度情報登録手段に登録されている優先度情報を変更すること、を特徴とする。

以上の、本発明の請求の範囲第 5 項ないし請求の範囲第 9 項に記載の画像処理装置によれば、データ転送を実行するデータ転送実行手段と、優先度情報を有するデータ転送要求を受け付け、次に実行すべきデータ転送を選択し、該データ転送の優先度が上記データ転送実行手段で実行中のデータ転送の優先度よりも高い場合に、上記データ転送実行手段の実行を中断させて次のデータ転送を開始させる制御手段とを備えたので、早急にデータ転送が必要になった場合でも、現在実行中のデータ転送より高い優先度をもったデータ転送要求をすれば、現在実行中のデータ転送を一時中断させて、現在実行中のデータ転送の終了を待つことなく、優先度の高いデータ転送を実行することができるので、要求される期間内に、データ転送を確実に終了させることができる。

また、中断されたデータ転送も、このデータの転送再開に必要な制御情報が退避されて保存されているために、中断されたデータ転送よりも高い優先度のデータ転送の要求がなくなると、ただちに転送が中断されていたデータの転送

を再開することができ、全体としてのデータ転送効率が低下しないように出来る。

さらに、制御手段に含まれるデータ転送要求調停手段によって、データ転送要求時にデータ転送優先度を自由に設定することができるので、効率的なデータ転送制御が可能となり、特にデータ転送量や処理優先度が多様な多くのデータ転送種別が混在する場合に大きな効果を発揮できる。

図面の簡単な説明

第1図は、本発明の第1の実施の形態に係る画像処理装置のブロック構成図である。

第2図は、本発明の第1の実施の形態に係る画像処理装置を構成するDMA要求発生手段のブロック構成図である。

第3図は、DMA要求発生手段で発生する第1のDMA要求信号の発生タイミングを示した図である。

第4図は、予めスケジューリング可能なDMAとプロセッサ手段のDMAとの調停関係を示した図である。

第5図は、本発明の第2の実施の形態に係る画像処理装置におけるデータ転送制御装置の構成を示すブロック図である。

第6図は、第2の実施の形態におけるデータ転送制御装置を構成する制御手段の詳細な構成を示すブロック図である。

第7図は、第6図に示した制御手段を構成するデータ転送要求調停手段の詳細な構成を示すデータ転送要求調停手段のブロック図である。

第8図は、従来の画像処理装置のブロック構成図である。

25 発明を実施するための最良の形態

以下、本発明の実施の形態について、第1図から第8図を用いて説明する。尚、ここで示す実施の形態はあくまでも一例であって、必ずしもこの実施の形態に限定されるものではない。

実施の形態1.

以下、効率の良いDMAを実現するデータ転送制御方法を適用可能とした本発明に係る画像処理装置Aを第1の実施の形態として、図面を参照しつつ説明する。

第1図は画像処理装置Aのブロック構成図である。

- 5 この画像処理装置Aは、画像入出力処理手段100、入力画像の解像度変換及び入力画像と前フレーム画像とを用いて画像のノイズ除去処理を行う入力制御手段101、入力制御手段101から外部メモリ111へデータを転送する前に入力制御手段101の出力画像データを一時保持する入力画像バッファ102、外部メモリ111に格納している前フレーム画像データを入力制御手段101へ渡す前に一時保持する前フレーム画像バッファ103、外部メモリ111に格納している表示用画像データを子画面生成手段105へ渡す前に一時保持する子画面生成入力バッファ104、外部メモリ111に格納している表示用画像データを子画面に解像度変換する子画面生成手段105、子画面生成手段105から外部メモリ111へデータを転送する前に子画面生成手段105で生成した子画面画像データを一時的に保持する子画面生成出力バッファ106、外部メモリ111に格納している子画面画像データを表示制御手段110に渡す前に一時保持する子画面バッファ107、外部メモリ111に格納している表示用画像データを表示制御手段110に渡す前に一時保持する親画面バッファ108、外部メモリ111に格納しているグラフィックスデータを表示制御手段110に渡す前に一時保持するグラフィックスバッファ109、符号化対象画像、子画面、表示用画像、グラフィックスといった種類の異なる画像データを領域分割して保持する外部メモリ111、画像入出力処理手段100又はプロセッサ手段116と外部メモリ111とのDMA制御を行うDMA制御手段112、前記DMA制御を行うための各種設定情報を保持しておくDMA設定保持手段113、DMA設定情報に従って外部メモリ111のアドレスを発生するアドレス発生手段114、外部メモリ111の書き込み又は読み出し制御を行うDRAM制御手段115、プログラム制御可能なプロセッサ116、外部メモリ111の画像又は符号データをプログラム制御で処理する符号化／復号化処理手段117、各バッファ、即ち、入力画像
- 10
- 15
- 20
- 25

バッファ 102、前フレーム画像バッファ 103、子画面生成入力バッファ 104、子画面生成出力バッファ 106、子画面バッファ 107、親画面バッファ 108、グラフィックスバッファ 109と、プロセッサ手段 116と、外部メモリ 111との間でDMAを行うDMAバス 118、ビデオ同期信号を基に
5 画像入出力処理手段 100と外部メモリ 111とのDMA要求タイミングを発生するDMA要求発生手段 119、DMA要求発生手段 119からのDMA要求とプロセッサ手段 116からのDMA要求があると、DMA要求発生手段 119からのDMA要求を優先的に実行するように調停するDMA要求調停手段 120、を備えている。

10 尚、上記の画像処理装置Aを構成する部材のうち、画像入出力処理手段 100、入力制御手段 101、子画面生成手段 105、表示制御手段 110、DRAM制御手段 115、プロセッサ手段 116、符号化／復号化分手段 117、及びDMAバス 118の構成は、先述の画像処理装置Xにおいて対応する同
15 名称を附した各構成部材、即ち画像入出力処理手段 500、入力制御手段 501、子画面生成手段 505、表示制御手段 510、DRAM制御手段 515、プロセッサ手段 516、符号化／復号化分手段 517、及びDMAバス 518、それぞれの構成と同じである。

また、上記の画像処理装置Aを構成する部材のうち、入力画像バッファ 102、前フレーム画像バッファ 103、子画面生成入力バッファ 104、子画面
20 生成出力バッファ 106、子画面バッファ 107、親画面バッファ 108、グラフィックスバッファ 109は、先述した画像処理装置Xにおいて対応する同一名称を附した各構成部材、即ち入力画像バッファ 502、前フレーム画像バッファ 503、子画面生成入力バッファ 504、子画面生成出力バッファ 506、子画面バッファ 507、親画面バッファ 508、グラフィックスバッファ
25 509と、容量の点では異なるものの、その機能は同じである。

第2図はDMA要求発生手段 119のブロック構成図である。

このDMA要求発生手段 119は、ビデオ垂直同期信号からフレームの先頭を検出するフレーム検出手段 201、ビデオ水平同期信号からラインの先頭を検出するライン検出手段 202、ライン検出手段 202からのライン先頭信号

- を受けて計数値をリセットした後に動作クロックを計数するクロック計数手段 203、フレーム検出手段 201 からのフレーム先頭信号を受けて計数値をリセットした後にライン検出手段 202 からのライン先頭信号を計数するライン計数手段 204、クロック計数手段 203 の計数値から予め DMA スケジューリング可能なバースト転送単位の DMA を開始時間を検出する 2 分の 1
- 5 ライン検出手段 205、フレーム検出手段 201 からのフレーム先頭信号と 1 周期終了信号とで計数値をリセットした後に 2 分の 1 ライン検出手段 205 からのライン検出信号を計数するライン周期計数手段 206、クロック計数手段 203 の計数値と、ライン周期計数手段 206 の計数値と、ライン計数手段
- 10 204 の計数値とから DMA 要求信号を生成する第 1 要求信号生成手段 207、ライン計数手段 203 の計数値と、2 分の 1 ライン検出手段 205 の検出信号とから有効なライン期間を検出する有効ライン期間検出手段 208、ライン周期計数手段 206 の計数値から有効なラインを検出する有効ライン検出手段 209、クロック計数手段 203 の計数値から DMA の要求タイミングを検出する要求信号検出手段 210、AND（論理積）回路 211、第 1 要求信号生成手段 207 と同様な構成で、他の予め DMA スケジューリング可能なデータの DMA 要求信号を生成する第 2 要求信号生成手段 212、第 N 要求信号生成手段 213、より構成されている。尚、N は予め DMA スケジューリングが可能なデータの種類の数である。
- 15
- 20 このように構成された画像処理装置 A の動作について、以下に説明する。
- まず、入力画像はビデオ同期信号に同期して一定レートで常時、入力される。入力画像が入力制御手段 101 に入力されると、入力制御手段 101 は入力画像を符号化対象となる画像サイズに解像度変換したあと、入力画像バッファに一時格納する。
- 25 一例として、有効入力画像サイズが 704 画素×240 ライン×2 フィールドの NTSC インターレースサイズを輝度 352 画素×288 ライン、色差 176 画素×144 ラインの CIF サイズに解像度変換する場合のラインタイミングを表 1 及び表 2 に示す。

表 1

ライン番号	有効輝度データ出力	
1		
2		
⋮		
22		
23		
24		
25	1	
26	2	
27	3	
28	4	5
29	6	
⋮		⋮
260	283	
261	284	
262	285	
263	286	287
264	288	
265		
266		
⋮		
525		

無効期間

パターンA

パターンAの繰り返し

無効期間

表 2

ライン番号	有効色差データ出力
1	
2	
⋮	
22	
23	
24	1
25	
26	2
27	3
28	
29	4
⋮	⋮
260	
261	143
262	144
263	
264	
265	
266	
⋮	
525	

無効期間

パターンB

パターンBの繰り返し

無効期間

表 1 及び表 2 において、「ライン番号」は入力画像のライン番号であって、NTSC 画像の場合、1 から 525 の値となり、22 ラインから 261 ライン及び 285 ラインから 524 ラインまでを有効ラインとして使用する。また「有効輝度データ出力」は、解像度変換した後の有効な輝度データの出力ラインタイミング、「有効色差データ出力」は、解像度変換した後の有効な色差データの出力ラインタイミングを示し、2 つの色差データ Cb、Cr とともに同一ラインタイミングである。

次に、入力制御手段 101 で解像度変換された画像データを、入力画像バッファ 102 を介して外部メモリ 111 に DMA する時のラインタイミングを、表 3 及び表 4 に示す。

表 3

ライン番号	輝度データDMA
1	
2	
⋮	
22	
23	
24	
25	1
26	2
27	3
28	4
29	5 6
⋮	⋮
260	283
261	284
262	285
263	286
264	287 288
265	
266	
⋮	
525	

無効期間

パターンC

パターンCの繰り返し

無効期間

表 4

ライン番号	色差データDMA
1	
2	
⋮	
22	
23	
24	1
25	
26	2
27	3
28	
29	4
⋮	⋮
260	
261	143
262	144
263	
264	
265	
266	
⋮	
525	

無効期間

パターンD

パターンDの繰り返し

無効期間

表 3 及び表 4 において、「ライン番号」は入力画像のライン番号であって、
 「輝度データDMA」は輝度データを外部メモリ 111 にDMAするラインタイ
 ミング、「色差データDMA」は色差データを外部メモリ 111 にDMAする
 ラインタイミングを示す。

この画像処理装置 A において、実際のDMAは1ライン時間を2分の1経過
 した時間から開始するが、例えば、CIFサイズの輝度データの1ライン目は、
 ライン番号25で入力制御手段101から出力され、ライン番号25の後半か
 らライン番号26の前半の間でDMAする。CIFサイズの輝度データの5ラ
 インと6ラインの輝度データは、ライン番号29の後半からライン番号30の
 前半までの1ライン期間中にCIFサイズ2ライン分をDMAすることが表
 3より判る。

ここで入力制御手段101は、前フレーム画像を用いて入力画像のノイズ除去処理を行う。この場合は、外部メモリ111に格納している前フレーム画像を前フレーム画像バッファ103にDMAし、前フレーム画像バッファ103から前フレーム画像を読み出しながら、ノイズ除去処理を行う。

- 5 また、外部メモリ111から前フレーム画像バッファ103に前フレーム画像をDMAする時のラインタイミングを表5に示す。ここで、ノイズ除去処理は輝度データについてのみ行うので、結局、輝度データのみDMAすることになる。

10 表5

ライン番号	輝度データDMA
1	
2	
⋮	
22	
23	
24	1
25	2
26	3
27	4
28	5 6
29	7
⋮	⋮
260	284
261	285
262	286
263	287 288
264	
265	
266	
⋮	
525	

無効期間

パターンC

パターンCの繰り返し

無効期間

方、子画面生成手段 105 は、外部メモリ 111 に格納している表示用画像を子画面として表示する場合に、外部メモリ 111 から子画面生成入力バッファ 104 経由で転送された前記表示画像を子画面サイズに解像度変換し、子画面生成出力バッファ 106 に一時格納する。その後、子画面生成出力バッファ 106 から外部メモリ 111 に転送される。

外部メモリ 111 から子画面生成入力バッファ 104 へ輝度 704 画素×480 ライン、色差 352 画素×480 ラインの表示用画像データを DMA する時のラインタイミングを表 6 に示す。この表 6 においては、輝度データと色差データで同一ラインタイミングとなる。

表 6

ライン番号	輝度, 色差データDMA	
1		無効期間
⋮		
21	1	
22	2	パターンE
23	3	
24	4	
25	5	パターンEの繰り返し
⋮	⋮	
260	240	
261		無効期間
⋮		
284	241	
285	242	パターンEの繰り返し
286	243	
⋮	⋮	
522	479	無効期間
523	480	
524		
525		

表 6 において、ライン番号は表示画像のライン番号で N T S C 画像の場合、1 から 5 2 5 の値となり、2 2 ラインから 2 6 1 ライン及び 2 8 5 ラインから 5 2 4 ラインまでを有効表示ラインとして使用する。

また表 7 に、子画面生成出力バッファ 1 0 6 から外部メモリ 1 1 1 へ輝度 3 5 2 画素×2 4 0 ライン、色差 1 7 6 画素×2 4 0 ラインの生成子画面データを DMA する時のラインタイミングを示す。

表 7

ライン番号	輝度, 色差データDMA	
1		無効期間
⋮		
22		
23	1	パターンF
24		
25	2	
26		パターンFの繰り返し
⋮	⋮	
260		
261	120	無効期間
⋮		
284		
285		パターンFの繰り返し
286	121	
⋮	⋮	
522	239	無効期間
523		
524	240	
525		

一方、表示制御手段 1 1 0 は、子画面、親画面、グラフィックスデータをそれぞれ子画面バッファ 1 0 7、親画面バッファ 1 0 8、グラフィックスバッファ 1 0 9 から読み出し、表示合成したあと、表示画像としてビデオ同期信号に同期させて一定レートで出力する。

子画面の表示位置が表示モニタの右下隅の場合であって、外部メモリ 111 から子画面バッファ 107 へ輝度 352 画素×240 ライン、色差 176 画素×240 ラインの子画面データを DMA する時のラインタイミングを表 8 に示す。

表 8

ライン番号	輝度, 色差データDMA	
1		無効期間
⋮		
140		
141		パターンG
142	1	
143	2	
144	3	パターンGの繰り返し
⋮	⋮	
260	119	
261	120	無効期間
⋮		
403		
404		パターンGの繰り返し
405	121	
⋮	⋮	
522	238	無効期間
523	239	
524	240	
525		

また、外部メモリ 111 から親画面バッファ 108 へ輝度 352 画素×576 ライン、色差 176 画素×288 ラインの親画面データを DMA する時のラインタイミングを表 9 及び表 10 に示す。

表 9

ライン番号	輝度データDMA	
1		
⋮		
20	1	2
21	3	
22	4	
23	5	
24	6	
⋮		⋮
258	287	
259	288	
⋮		
283	289	290
284	291	
285	292	
⋮		⋮
521	575	
522	576	
523		
524		
525		

無効期間

パターンH

パターンHの繰り返し

無効期間

パターンHの繰り返し

無効期間

表 1 0

ライン番号	色差データDMA	
1		無効期間
⋮		
19	1	
20	2	特殊パターン
21	3	パターンJ
22	4	
23		
24		パターンJの繰り返し
⋮	⋮	
254		
255	143	特殊パターン
256	144	特殊パターン
⋮		無効期間
282	145	特殊パターン
283	146	パターンJの繰り返し
284	147	
⋮	⋮	
517		特殊パターン
518	287	
519	288	
⋮		無効期間
525		

また、外部メモリ 111 からグラフィックスバッファ 109 へ 352 × 480 ラインのグラフィックスデータを DMA する時のラインタイミングを表 11 に示す。

表 1 1

ライン番号	グラフィックスデータDMA	
1		無効期間
⋮		
21	1	
22	2	パターンK
23	3	
24	4	
25	5	パターンKの繰り返し
⋮	⋮	
259	239	
260	240	無効期間
⋮		
284	241	
285	242	パターンKの繰り返し
286	243	
⋮	⋮	
522	479	無効期間
523	480	
524		
525		

以上、外部メモリ 111 と各バッファとのDMAラインタイミングについて説明したが、次に、1ライン期間中におけるDMAスケジューリングについて説明する。

表 1 2、表 1 3、表 1 4、表 1 5 は、1ライン期間中におけるDMA要求タイミングを示したもので、1ライン期間を20分割し、それをさらに4分割して、予めスケジューリング可能なDMAを配置する。1回のDMA要求で実行するDMAサイズを88バイト、DMA動作周波数を67.5MHzとする。DMAバス幅は16ビットとすると1回のDMAは44サイクルとなる。

表 1 2

分割 No.	67.5 MHz クロック数	入力画像ハップァDMA				前フレーム画像 ハップァDMA		子画面生成 入力ハップァDMA		
		輝度データ		色差 Cb データ	色差 Cr データ	輝度データ		輝度 データ	色差 Cb データ	色差 Cr データ
		1ライン DMA時	2ライン DMA時			1ライン DMA時	2ライン DMA時			
5	10	0	2150			○	○			
		1	2194	○	○					
		2	2238							
		3	2282							
10	11	0	2365					○		
		1	2409						○	
		2	2453							○
		3	2497							
15	12	0	2580							
		1	2624							
		2	2668		○		○			
		3	2712							
20	13	0	2795		○					
		1	2839							
		2	2883					○		
		3	2927							
25	14	0	3010							
		1	3054							
		2	3098							
		3	3142							
	15	0	3225			○	○			
		1	3269	○	○					
		2	3313							
		3	3357							
	16	0	3440					○		
		1	3484						○	
		2	3528							○
		3	3572							
	17	0	3655							
		1	3699							
		2	3743		○		○			
		3	3787							
	18	0	3870		○					
		1	3914							
		2	3958					○		
		3	4002							
	19	0	4085							
		1	4129							
		2	4173							
		3	4217							

表 1 3

[illegible]

表 1 4

5

10

15

20

25

分割 No.	67.5 MHz クロック数	入力画像ハップァDMA				前フレーム画像 ハップァDMA		子画面生成 入力ハップァDMA		
		輝度データ		色差 Cb データ	色差 Cr データ	輝度データ		輝度 データ	色差 Cb データ	色差 Cr データ
		1ライン DMA時	2ライン DMA時			1ライン DMA時	2ライン DMA時			
0	0	0				○	○			
	1	44	○	○						
	2	88								
	3	132								
1	0	215						○		
	1	259							○	
	2	303								○
	3	347								
2	0	430								
	1	474								
	2	518		○			○			
	3	562								
3	0	645			○					
	1	689								
	2	733						○		
	3	777								
4	0	860								
	1	904								
	2	948								
	3	992								
5	0	1075				○	○			
	1	1119	○	○						
	2	1163								
	3	1207								
6	0	1290						○		
	1	1334							○	
	2	1378								○
	3	1422								
7	0	1505								
	1	1549								
	2	1593		○			○			
	3	1637								
8	0	1720			○					
	1	1764								
	2	1808						○		
	3	1852								
9	0	1935								
	1	1979								
	2	2023								
	3	2067								

表 15

[illegible]

表 1 2 から表 1 5 において、「分割 No.」は 1 ライン期間を分割した時の番号、「67.5MHz クロック数」は 67.5MHz クロックでの 1 ライン期間のサイクル数、「入力画像バッファ DMA」は入力画像バッファ 1 0 2 から外部メモリ 1 1 1 への DMA の種類で、「1 ライン DMA」は 1 ライン期間中に CIF サイズの 1 ラインを DMA する時の要求タイミング、「2 ライン DMA」は 1 ライン期間中に CIF サイズの 2 ラインを DMA する時の要求タイミング、「前フレーム画像バッファ DMA」は外部メモリ 1 1 1 から前フレーム画像バッファ 1 0 3 への DMA、「子画面生成入力バッファ DMA」は外部メモリ 1 1 1 から子画面生成入力バッファ 1 0 4 への DMA の種類、「子画面生成出力バッファ DMA」は外部メモリ 1 1 1 から子画面生成出力バッファ 1 0 6 への DMA の種類、「子画面バッファ DMA」は外部メモリ 1 1 1 から子画面バッファ 1 0 7 への DMA の種類、「親画面バッファ DMA」は外部メモリ 1 1 1 から親画面バッファ 1 0 8 への DMA の種類、「グラフィックスバッファ DMA」は外部メモリ 1 1 1 からグラフィックスバッファ 1 0 9 への DMA の種類、を示している。

DMA 要求発生手段 1 1 9 は表 1 2 から表 1 5 の○印で示すタイミングで DMA 要求信号を発生する。

第 3 図は DMA 要求発生手段 1 1 9 で発生する第 1 の DMA 要求信号の発生タイミングを示したもので、入力画像バッファ DMA の色差 C b データの DMA 要求タイミングである。

第 3 図において、「フレーム検出手段信号出力」はフレーム検出手段 2 0 1 のフレームの先頭を示す信号出力タイミング、「ライン検出手段信号出力」はライン検出手段 2 0 2 のラインの先頭を示す信号出力タイミング、「ライン計数手段計数値」はフレーム検出手段 2 0 1 の信号出力で計数値を初期化し、ライン検出手段 2 0 2 の信号出力で計数値を + 1 するカウンタの計数値、「有効ライン期間検出手段信号出力 1」はライン計数手段 2 0 4 の計数値と 2 分の 1 ライン検出手段の信号出力とから有効なライン期間を示す信号 1、「入力制御手段からの有効出力画像 C b データ」は入力制御手段 1 0 1 から入力画像バッファ 1 0 2 に出力される画像の C b データタイミング、「2 分の 1 ライン検出

手段信号出力」はクロック計数手段 203 の計数値から検出した 2 分の 1 ライン時間、「ライン周期計数手段計数値」はフレーム検出手段 201 の信号出力又は計数値 4 の最終信号で計数値を初期化し、2 分の 1 ライン検出手段 205 の信号出力で計数値を +1 するカウンタの計数値、「有効ラインデコード手段
5 信号出力 2」はライン周期計数手段 206 の計数値から 1 ライン期間中の有効、無効を示す信号 2、「クロック計数値デコード信号出力 3」はクロック計数手段 203 の計数値から得られる入力画像 C b バッファ DMA の 1 ライン期間中の要求タイミング信号、「入力画像 C b バッファ DMA 要求信号 1」は有効ライン期間検出手段信号出力 1 と有効ラインデコード手段信号出力 2 とクロ
10 ック計数値デコード手段信号出力 3 の AND（論理積）をとって生成した DMA 要求信号 1、「入力画像 C b バッファ DMA」は入力画像 C b バッファ DMA 要求信号 1 によって実行された DMA タイミングを示す。

第 4 図は、DMA 要求発生手段 119 からの DMA 要求信号によって実行された、予めスケジューリング可能な DMA とプロセッサ手段 116 の DMA と
15 の調停関係の一例を示したものである。

DMA 要求調停手段 120 は DMA 要求発生手段 119 から DMA 要求があると、プロセッサ手段 116 の DMA 要求より優先実行するように調停し、実行する。

これを具体的に説明すると、まず DMA のスケジューリングが可能な転送データ群をバースト転送単位に分割し（DMA 1 ～ DMA 10）、これを分割した単位毎に、周期的に DMA を行う。次に、この転送データを DMA していない間（DMA 1 と DMA 2 の間）に、DMA のスケジューリングが不可能な転送データであるプロセッサ手段 116 の DMA がなされると（DMA 11）、
20 プロセッサ手段 116 の DMA 要求に従い、これを転送する。DMA バス動作状態としては、DMA 1 の次ぎに DMA 11 が来ることになる。また、DMA のスケジューリングが不可能な転送データであるプロセッサ手段 116 の DMA がなされる間に（DMA 13）、スケジューリング可能な DMA 要求がなされると（DMA 4）、一旦 DMA 13 は中断されて、DMA 4 を優先して行う。そして DMA 4 が終了すると、DMA 13 を再開して、残りを転送する。
25

この場合、DMAバス動作状態としては、DMA 3－DMA 1 3－DMA 4－DMA 1 3となる。

このように、第4図に示すように、予めスケジューリング可能なDMAを実行していない時にプロセッサ手段116からのDMA要求があると、即座に実行し、もし、スケジューリング可能なDMAを実行していれば、それが終了したあと、連続的にプロセッサ手段のDMAを実行する。

そして、もしもスケジューリング不可能なプロセッサ手段のDMAを実行中に、スケジューリング可能なDMA要求があった場合は、実行中のプロセッサ手段のDMAを中断し、スケジューリング可能なDMAを実行した後、プロセッサ手段のDMAを連続実行する。

以上のように、本実施の形態によれば、DMAスケジューリング可能なDMAを周期的に優先実行させ、DMAスケジューリング可能なDMAを実行していない期間に、DMAスケジューリング不可能なDMAを実行することで、特定のDMAの集中を防止できる。特に、DMAスケジューリング可能なDMAの要求信号を画像入出力処理手段が出力する時間の2分の1ライン後、あるいは画像入出力処理手段が必要とする時間の2分の1ライン前で発生させることで、画像入出力処理手段のバッファ容量を削減できる。

実施の形態2.

以上説明した第1の実施の形態において、優先度の高いデータ転送要求が為された時に、実行中のデータ転送を一時中断して、優先度の高いデータの転送を開始することの出来るデータ転送制御装置を備えた画像処理装置について、図面を参照しつつ説明する。

第5図は、先に第1の実施の形態にて説明した画像処理装置Aにおける、データ転送制御装置の構成を示すブロック図である。即ち、第2の実施の形態に係る画像処理装置の特徴はデータ転送制御装置であるので、以下、この部分について説明をする。尚、データ転送制御装置以外の画像処理装置の構成部分及びその動作については、上述の画像処理装置Aと同一であるので、これに関する説明は省略する。

第5図において、11はデータ転送制御装置を構成する各部分を制御する制

御手段、12はデータ転送制御に必要な制御情報を記憶するための制御情報記憶手段（第1制御情報記憶手段）、13はデータ転送を実行するデータ転送実行手段、14は次に実行するデータ転送に必要な制御情報を一時的に保持する予約制御情報保持手段（第2制御情報記憶手段）、15は上記データ転送実行手段13からの制御情報を一時的に保持する退避制御情報保持手段（第3制御情報記憶手段）である。また、16は上記制御情報記憶手段12からの制御情報を予約制御情報保持手段14に転送し、また退避制御情報保持手段15からの制御情報を前記制御情報記憶手段12へ格納する制御情報転送手段である。

17はデータ転送を要求するデータ転送要求元、18はデータ転送対象の記憶装置である。

尚、制御情報記憶手段12と、予約制御情報保持手段14と、退避制御情報保持手段15と、制御情報転送手段16で、DMA設定保持手段113が構成される。また、制御手段11は、DMA要求調停手段120として動作する。また、データ転送要求元17には、プロセッサ手段116及びDMA要求発生部119が含まれている。また、データ転送実行手段13には、アドレス発生手段114と、DRAM制御手段115とが含まれている。

以上のように構成されたデータ転送制御装置について、以下、その動作を説明する。

データ転送要求元17は、記憶装置18との間でデータ転送が必要になると制御手段11にデータ転送を要求する。ここで、データ転送要求にはデータ転送の緊急度に応じた優先度情報が含まれる。

制御手段11はデータ転送要求を受け付けるとその優先度情報を基にして、次に実行すべきデータ転送を選択し、そのデータ転送に必要な制御情報を制御情報転送手段16に制御情報記憶手段12から獲得させ、これを予約制御情報保持手段14に保持させるように制御を行う。

制御手段11は、予約制御情報保持手段14への制御情報の転送が終了すると、データ転送実行手段13で実行しているデータ転送の優先度よりも、次に実行する（要求のあった）データ転送の優先度の方が高いと判断した場合は、データ転送実行手段13において実行しているデータ転送の中断を要求する。

また、データ転送実行手段 1 3 のデータ転送が中断されると、次にデータ転送を再開するときに必要な制御情報を退避制御情報保持手段 1 5 に退避させ、その後で、予約制御情報保持手段 1 4 に保持している次のデータ転送に必要な制御情報をデータ転送実行手段 1 3 へ転送して、その制御情報を基にして

5 データ転送実行手段 1 3 に、データ転送要求元 1 7 と記憶装置 1 8 との間でやりとりされる次のデータ転送を実行させる。

そして制御手段 1 1 は、退避制御情報保持手段 1 5 に退避させていた、転送が中断されたデータを再度転送するために必要な制御情報を制御情報記憶手段 1 2 へ格納させるように制御情報転送手段 1 6 を制御する。

10 高い優先度のデータ転送を実行させるために中断されたデータ転送は、高い優先度のデータ転送が完了した後に、制御情報転送手段 1 6 を制御して、制御情報記憶手段 1 2 からデータ転送再開に必要な制御情報を予約制御情報保持手段 1 4 に獲得させて、それをデータ転送実行手段 1 3 へ転送することによりデータ転送を再開することができる。

15 第 6 図は第 5 図で示した制御手段 1 1 のより詳細な構成を示すブロック図である。

第 6 図において、4 0 はデータ転送要求元 1 7 からのデータ転送要求を受け付けて次に実行すべきデータ転送の種別との優先度を選択するデータ転送要求調停手段である。4 1 は予約制御情報保持手段 1 4 に保持する制御情報に対応するデータ転送の種別を保持する予約データ転送種別保持手段（第 2 のデータ転送種別保持手段）である。4 2 は予約制御情報保持手段 1 4 に保持する制御情報に対応する優先度情報を保持する予約データ転送優先度保持手段（第 2 のデータ転送優先度保持手段）である。4 3 はデータ転送実行手段 1 3 で実行中のデータ転送の種別を保持する実行データ転送種別保持手段（第 1 のデータ転送種別保持手段）である。4 4 はデータ転送実行手段 1 3 で実行中のデータ転送の優先度情報を保持する実行データ転送優先度保持手段（第 1 のデータ転送優先度保持手段）である。4 5 は退避制御情報保持手段 1 5 に保持する制御情報に対応するデータ転送の種別を保持する退避データ転送種別保持手段（第 3 のデータ転送種別保持手段）である。4 6 は退避制御情報保持手段 1 5 に保

持する制御情報に対応するデータ転送の優先度情報を保持する退避データ転送優先度保持手段（第3のデータ転送優先度保持手段）である。47は予約制御情報保持手段14への制御情報の獲得が終了したことを示す予約終了フラグである。48は退避制御情報保持手段15に保持する制御情報の前記制御情報記憶手段12への格納が終了したことを示す退避終了フラグである。49はデータ転送実行手段13で中断されたデータ転送の種別を保持する中断データ転送種別保持手段である。50はデータ転送要求調停手段40と、予約データ転送種別保持手段41と、予約データ転送優先度保持手段42と、実行データ転送種別保持手段43と、実行データ転送優先度保持手段44と、退避データ転送種別保持手段45と、退避データ転送優先度保持手段46と、予約終了フラグ47と、退避終了フラグ48と中断データ転送種別保持手段49の情報を用いて制御を実行する予約退避制御手段である。

第7図は第6図で示したデータ転送要求調停手段40のより詳細な構成を示すブロック図である。

第7図において、31は受け付けたデータ転送要求の優先度情報を登録する優先度情報登録手段である。32は新たに前記優先度情報登録手段31に登録されたデータ転送要求の種別を検出する新規データ転送要求検出手段である。33は新規データ転送要求検出手段32によって検出されたデータ転送要求の種別を順番に登録するデータ転送要求順序登録手段である。34は優先度情報登録手段31およびデータ転送要求順序登録手段33に登録されている情報と、予約データ転送種別保持手段41、実行データ転送種別保持手段43、退避データ転送種別保持手段45、前記中断データ転送種別保持手段49に保持している情報から、次に実行すべき最優先のデータ転送を検出する最優先データ転送候補検出手段である。

以上のように構成されたデータ転送要求調停手段40について、以下、その動作を説明する。

優先度情報登録手段31はデータ転送要求元17からの全てのデータ転送種別の要求を受け付けるために、全てのデータ転送種別のそれぞれに対応した優先度情報を登録する。第7図の例では(a)、(b)、(c)、(d)、(e)、

(f)、(g)、の7種類のデータ転送種別がある。ここで転送優先度には、高優先度、中優先度、低優先度の3種類の優先度があるとする。ここでデータ転送要求元17よりデータ転送種別(c)の低優先度のデータ転送要求があると、優先度情報登録手段31の(c)に低優先度を示す情報を登録する。

- 5 データ転送要求順序登録手段33は、全てのデータ転送種別を新規データ転送要求検出手段32で検出された順番に登録する。第7図の例では、7種類のデータ転送種別に対応して(1)～(7)の登録部分をもち、(1)に登録されたデータ転送種別が最も先に受け付けたデータ転送要求の種別で、(2)、(3)と括弧の中の数字が大きくなるほど新しく受け付けたデータ転送要求の
- 10 種別が登録されるものとする。

新規データ転送要求検出手段32は、データ転送要求順序登録手段33に登録されているデータ転送種別に対応する以外のデータ転送優先度が登録されると、そのデータ転送種別を新規に優先度情報登録手段31に登録されたデータ転送のものとして検出する。

- 15 最優先データ転送候補検出手段34は、受け付けたデータ転送要求の中で最も優先度が高いデータ転送要求のうち、最も先に受け付けたデータ転送要求を最優先で実行するデータ転送として選択する。

- しかしながら、データ転送実行手段13、予約制御情報保持手段14、および退避制御情報保持手段15に存在する制御情報のデータ転送種別と同じデータ転送種別を、最優先で実行するデータ転送として選択すると、データ転送制御装置内に同一データ転送種別の制御情報が複数存在することとなって動作不良を引き起こすことがあるので、データ転送実行手段13、予約制御情報保持手段14、および退避制御情報保持手段15に存在する制御情報のデータ転送種別は選択の候補から除外する必要がある。このために、予約制御情報保持手段14に保持する制御情報に対応するデータ転送種別は予約データ転送種別保持手段41に保持され、データ転送実行手段13で実行中のデータ転送の種別は実行データ転送種別保持手段43に保持され、退避制御情報保持手段15に保持する制御情報に対応するデータ転送の種別は退避データ転送種別保持手段45に保持される。例えば、優先度情報登録手段31の(a)に低優
- 20
- 25

先度、(b)に低優先度、(c)に中優先度、(e)に低優先度、(f)に高優先度、(g)に中優先度が登録され、データ転送要求順序登録手段33の(1)にデータ転送種別(e)、(2)にデータ転送種別(b)、(3)にデータ転送種別(g)、(4)にデータ転送種別(a)、(5)にデータ転送種別(c)、
5 (6)にデータ転送種別(f)が登録され、実行データ転送種別保持手段43にデータ転送種別(f)が保持され、退避データ転送種別保持手段45にデータ転送種別(g)が保持されている場合は、最優先データ転送候補検出手段34は、次に最優先で実行するデータ転送として、データ転送種別(c)とそのデータ転送優先度である中優先度を出力する。尚、優先度情報登録手段31の
10 (d)は登録なし、データ転送要求順序登録手段33の(7)も登録なし、となっている。

また、中断されたデータ転送の再開より先に、中断されたデータ転送の優先度以下のデータ転送が実行されないようにしたい場合には、データ転送実行手段13において中断されたデータ転送種別が保持されている中断データ転送
15 種別保持手段49のデータ転送種別よりも低い優先度を有するデータ転送種別を選択の候補から除外することで可能である。

例えば、上記の例でさらに中断データ転送種別保持手段49にデータ転送種別(g)が保持されている場合は、次に最優先で実行するデータ転送候補はない。次に退避制御情報保持手段15の制御情報が制御情報記憶手段12へすべて格納されて退避データ転送種別保持手段45がリセットされると、最優先データ転送候補検出手段34は、次に最優先で実行するデータ転送としてデータ
20 転送種別(g)とそのデータ転送優先度である中優先度を出力し、それによって中断されたデータ転送の再開が他の同優先度以下のデータ転送より先に実行される。

25 さらに、データ転送要求元17からの要求により優先度情報登録手段31に設定されたデータ転送優先度情報の変更ができるようにすると、データ転送の順序制御を柔軟に実行できる。

次に、制御手段11の動作について説明する。予約データ転送種別保持手段41とデータ転送優先度保持手段42に次に実行すべきデータ転送の種別と

優先度が保持されており、さらに予約終了フラグ 4 7 がセットされていない場合は、まだ予約制御情報保持手段 1 4 への制御情報の獲得がされていないので、予約退避制御手段 5 0 は、制御情報転送手段 1 6 に予約データ転送種別保持手段 4 1 に保持されているデータ転送の種別に対応した制御情報を制御情報記憶手段 1 2 から獲得してこれを予約制御情報保持手段 1 4 に保持させる。さらに、すべての制御情報の獲得が終了すると予約終了フラグ 4 7 をセットする。

また、退避データ転送種別保持手段 4 5 と退避データ転送優先度保持手段 4 6 に、制御情報記憶手段 1 2 へ格納する制御情報に対応するデータ転送の種別と優先度が保持されており、さらに退避終了フラグがセットされていない場合は、制御情報記憶手段 1 2 への制御情報の格納がなされていないので、予約退避制御手段 5 0 は、制御情報転送手段 1 6 に退避データ転送種別保持手段 4 5 に保持されているデータ転送の種別に対応した制御情報記憶手段 1 2 の領域に退避データ転送種別保持手段 1 5 に保持されている制御情報を格納させる。さらに、すべての制御情報の格納が終了すると退避終了フラグ 4 8 をセットする。

また、データ転送要求調停手段 4 0 により次に実行すべきデータ転送の種別と優先度を選択されると、選択されたデータ転送の優先度が、予約データ転送優先度保持手段 4 2 に保持されている優先度より高い場合には、予約退避制御手段 5 0 は、予約終了フラグ 4 7 をリセットし、さらにデータ転送要求調停手段 4 0 により選択されたデータ転送の種別と優先度を予約データ転送種別保持手段 4 1 と予約データ転送優先度保持手段 4 2 とに保持させて、優先度の高いデータ転送の獲得を優先的に実行させる。

また、予約データ転送優先度保持手段 4 2 に保持されている優先度が実行データ転送優先度保持手段 4 4 に保持されている優先度より高く、さらに予約終了フラグ 4 7 がセットされている場合には、予約退避制御手段 5 0 は、データ転送実行手段 1 3 へデータ転送の中断を要求する。

また、データ転送実行手段 1 3 でのデータ転送が中断し、あるいは、データ転送が終了したが退避制御情報保持手段 1 5 へ退避する制御情報があつて、さらに退避終了フラグ 4 8 がセットされている場合は、予約退避制御手段 5 0 は、

制御情報を退避制御情報保持手段 1 5 に保持させ、さらに実行データ転送種別保持手段 4 3 に保持している情報を退避データ転送種別保持手段 4 5 に保持させ、実行データ転送優先度保持手段 4 4 に保持している情報を退避データ転送優先度保持手段 4 6 に保持させる。さらに予約終了フラグがセットされている場合には、すでに次のデータ転送実行に必要な制御情報が予約制御情報保持手段 1 4 に準備できているので、予約制御情報保持手段 1 4 に保持している制御情報をデータ転送実行手段 1 3 へ転送し、その制御情報に基づいたデータ転送を開始させ、また、同時に予約データ転送種別保持手段 4 1 に保持している情報を実行データ転送種別保持手段 4 3 に保持させ、予約データ転送優先度保持手段 4 2 に保持している情報を実行データ転送優先度保持手段 4 4 に保持させ、予約終了フラグ 4 7 をリセットさせ、予約データ転送種別保持手段 4 1 と予約データ転送優先度保持手段 4 2 をリセットさせる。

また、予約終了フラグ 4 7 がセットされていない場合には、まだ次のデータ転送実行に必要な制御情報が予約制御情報保持手段 1 4 に準備できていないので、実行データ転送種別保持手段 4 3 と実行データ転送優先度保持手段 4 4 をリセットさせる。

また、データ転送実行手段 1 3 でのデータ転送を終了して制御情報を退避制御情報保持手段 1 5 へ退避させる場合には、制御情報記憶手段 1 2 への制御情報の格納が終了すると、退避データ転送種別保持手段 4 5 のデータ転送種別に対応する優先度情報登録手段 3 1 とデータ転送要求順序登録手段 3 3 に登録された情報は取り消される。また、データ転送実行手段 1 3 でのデータ転送を終了して制御情報を前記退避制御情報保持手段 1 5 へ退避させない場合には、データ転送実行手段 1 3 でのデータ転送が終了すると、実行データ転送種別保持手段 4 3 のデータ転送種別に対応する優先度情報登録手段 3 1 とデータ転送要求順序登録手段 3 3 とに登録された情報は取り消される。これによって、このデータ転送種別に関するデータ転送制御装置での制御が終了し、データ転送要求元は、新たにこのデータ転送種別のデータ転送要求をすることができる。

このように本実施の形態によれば、次に実行するデータ転送に必要な制御情報を一時的に保持する予約制御情報保持手段 1 4 と、データ転送実行手段 1 3

からの制御情報を一時的に保持する退避制御情報保持手段 1 5 を備え、予約制御情報保持手段 1 4 に保持されている制御情報に対応するデータ転送要求の優先度が、データ転送実行手段 1 3 で実行しているデータ転送の優先度よりも高い場合には、データ転送実行手段 1 3 で実行しているデータ転送の中断を要求し、データ転送実行手段 1 3 でのデータ転送実行が中断されると、データ転送再開に必要な制御情報を退避制御情報保持手段 1 5 に退避させ、予約制御情報保持手段 1 4 に保持されている制御情報をデータ転送実行手段 1 3 に移して優先度の高いデータ転送をデータ転送実行手段 1 3 に実行させるようにしたので、現在転送実行中のデータよりも優先順位の高いデータの転送要求があった場合に、要求されたデータを迅速に提供することができるようになる。

また、退避制御情報保持手段 1 5 に退避された制御情報を制御情報記憶手段 1 2 へ格納し、この制御情報がデータ転送要求調停手段 4 0 で次に実行すべきデータ転送として選択されると、制御情報記憶手段 1 2 からデータ転送再開に必要な制御情報が予約制御情報保持手段 1 4 に獲得されてデータ転送実行手段 1 3 へ出力され、一旦転送中断されたデータの転送が再開される。

産業上の利用可能性

以上のように本発明に係る画像処理装置は、1つのメモリを共有してダイレクトメモリアクセス（DMA）を行うデータ転送制御方法及びこの方法を適用可能とした画像処理装置に関し、特定のDMAが集中発生する事を防止し、同時に回路規模の増大を抑えて、効率の良いDMAを実現するものとして極めて有用である。

請 求 の 範 囲

1. 画像の入出力を行う画像入出力処理手段と、

種類の異なる画像データを時分割で共有するメモリと、

5 前記メモリに記憶してあるデータを符号化又は復号化処理する符号化復号化処理手段と、

前記メモリから前記画像入出力処理手段又は前記符号化復号化処理手段へのデータ転送を制御するデータ転送制御手段と、

を備える画像処理装置において、

10 ダイレクトメモリアクセススケジューリングが可能な転送データ群をバースト転送単位に分割し、

前記バースト転送単位のダイレクトメモリアクセスを周期的に行い、

前記転送データをダイレクトメモリアクセスしていない期間に、ダイレクトメモリアクセススケジューリングが不可能な転送データをダイレクトメモリ

15 アクセスする、

ことを特徴とする、画像処理装置。

2. 請求の範囲第1項に記載の画像処理装置において、

前記バースト転送単位は、予めダイレクトメモリアクセススケジューリング可能な転送データを等量に分割したブロック単位を組合せてなり、

20 前記ブロック単位を周期的にダイレクトメモリアクセスする、

ことを特徴とする、画像処理装置。

3. 画像の入出力を行う画像入出力処理手段と、

種類の異なる画像データを時分割で共有するメモリと、

前記メモリから前記画像入出力処理手段又は前記符号化復号化処理手段への

25 のデータ転送を制御するデータ転送制御手段と、

を備える画像処理装置において、

前記データ転送制御手段は、

前記メモリに記憶してあるデータを符号化又は復号化処理する符号化復号化処理手段と、

予めダイレクトメモリアクセススケジューリング可能なデータの転送タイミングを発生するダイレクトメモリアクセス要求発生手段と、

- 前記ダイレクトメモリアクセス要求発生手段からのダイレクトメモリアクセス要求があった場合は、前記符号化復号化処理手段とのダイレクトメモリアクセスを中断し、前記画像入出力処理手段のダイレクトメモリアクセスを優先
5 実行するように調停するダイレクトメモリアクセス要求調停手段と、

ダイレクトメモリアクセスの設定情報を保持するダイレクトメモリアクセス設定保持手段と、

- 前記ダイレクトメモリアクセス要求調停手段の指示により、ダイレクトメモリアクセス設定情報を基に前記メモリのアドレスを発生して、データ転送をするデータ転送実行手段と、
10

前記メモリの書込み又は読み出しを制御するメモリ制御手段と、
を備えたことを特徴とする、画像処理装置。

4. 請求の範囲第3項に記載の画像処理装置において、
15 前記ダイレクトメモリアクセス要求発生手段は、
フレームの先頭を検出するフレーム検出手段と、
フレーム内のラインの先頭を検出する第1ライン検出手段と、
前記第1ライン検出手段からのライン先頭信号を受けて計数値をリセットし、以後、動作クロックを計数するクロック計数手段と、
20 前記フレーム検出手段からのフレーム先頭信号を受けて計数値をリセットし、以後、前記第1ライン検出手段からのライン先頭信号を計数するライン計数手段と、

- 前記クロック計数手段の計数値から、予めダイレクトメモリアクセススケジューリング可能なバースト転送単位のダイレクトメモリアクセスの開始時間を検出する第2ライン検出手段と、
25

前記フレーム検出手段からのフレーム先頭信号と1周期終了後信号で計数値をリセットし、前記第2ライン検出手段からのライン検出信号を計数するライン周期計数手段と、

前記ライン計数手段の計数値と、前記第2ライン検出手段の検出信号と、か

ら有効なライン期間を検出する有効垂直期間検出手段と、

前記ライン周期計数手段の計数値から有効なラインを検出する有効ライン検出手段と、

5 前記クロック計数手段の計数値からダイレクトメモリアクセスの要求タイミングを検出する要求信号検出手段と、を備え、

前記有効垂直期間検出手段の信号出力と、前記有効ライン検出手段の信号出力と、前記要求信号検出手段の信号出力と、からダイレクトメモリアクセス要求信号を生成する、

ことを特徴とする、画像処理装置。

10 5. 請求の範囲第3項に記載の画像処理装置において、

前記ダイレクトメモリアクセス設定保持手段が、

前記データ転送制御手段の行うデータ転送制御に必要な制御情報を記憶する第1制御情報記憶手段と、

15 前記優先実行するダイレクトメモリアクセスに関するデータ転送制御に必要な制御情報を保持する第2制御情報記憶手段と、

前記データ転送実行手段によるデータ転送が中断された時に、当該データを後に再転送するために必要な制御情報を退避させて格納するための第3制御情報記憶手段と、

20 前記第1ないし第3制御情報記憶手段の間で制御情報の転送、及び、前記データ転送実行手段と前記第2制御情報記憶手段及び前記第3制御情報記憶手段との間での制御情報の転送、を行う制御情報転送手段と、

を備えたことを特徴とする、画像処理装置。

6. 請求の範囲第3項に記載の画像処理装置において、

前記ダイレクトメモリアクセス要求調停部は、

25 前記符号化復号化手段又は前記ダイレクトメモリアクセス要求発生手段からのデータ転送要求を受け付けて、次に実行すべきデータ転送の種別と、データ転送の優先度と、を選択するデータ転送要求調停手段と、

前記第2制御情報記憶手段に保持する制御情報に対応するデータ転送の種別を保持する第2データ転送種別保持手段と、

前記第 2 制御情報記憶手段に保持する制御情報に対応する優先度情報を保持する第 2 データ転送優先度保持手段と、

前記データ転送実行手段で実行中のデータ転送の種別を保持する第 1 データ転送種別保持手段と、

- 5 前記データ転送実行手段で実行中のデータ転送の優先度情報を保持する第 1 データ転送優先度保持手段と、

前記第 3 制御情報記憶手段に保持する制御情報に対応するデータ転送の種別を保持する第 3 データ転送種別保持手段と、

- 10 前記第 3 制御情報記憶手段に保持する制御情報に対応するデータ転送の優先度情報を保持する第 3 データ転送優先度保持手段と、

前記データ転送要求調停手段、並びに前記第 1 ないし第 3 データ転送種別保持手段、並びに前記第 1 ないし第 3 データ転送優先度保持手段、並びに前記第 2 制御情報保持手段、いずれかへの制御情報の獲得が終了したことを示す予約終了フラグの情報と、前記第 3 制御情報記憶手段に保持する制御情報の前記第 1 制御情報記憶手段への格納が終了したことを示す退避終了フラグの情報と、
15 データ転送実行手段で中断されたデータ転送の種別を保持する中断データ転送種別保持手段と、を用いてデータ転送制御を実行する制御情報退避手段と、
を備えたことを特徴とする、画像処理装置。

7. 請求の範囲第 6 項に記載の画像処理装置において、

- 20 前記データ転送要求調停手段は、

受け付けたデータ転送要求のうち、

前記第 1 ないし第 3 データ転送種別保持手段に保持しているデータ転送の種別を除外したものの中で、最もデータ転送優先度が高いデータ転送要求であって、かつ時間的に最も早く受け付けたデータ転送要求を次に実行するデータ
25 転送として選択すること、

を特徴とする、画像処理装置。

8. 請求の範囲第 7 項に記載の画像処理装置において、

前記データ転送要求調停手段は、

受け付けたデータ転送要求の優先度情報を登録する優先度情報登録手段と、

新たに前記優先度情報登録手段に登録されたデータ転送要求の種別を検出する新規データ転送要求検出手段と、

前記新規データ転送要求検出手段によって検出されたデータ転送要求の種別を順番に登録するデータ転送要求順序登録手段と、

- 5 前記優先度情報登録手段と前記データ転送要求順序登録手段に登録されている情報と、前記第1ないし第3データ転送種別保持手段に保持している情報と、から、前記第1ないし第3データ転送種別保持手段に保持しているデータ転送の種別を除外したものの中で最もデータ転送優先度が高いデータ転送要求で、かつ時間的に最も早く受け付けたデータ転送要求の種別を検出する最優先データ転送候補検出手段と、
- 10

を備えたことを特徴とする、画像処理装置。

9. 請求の範囲第8項に記載の画像処理装置において、

前記データ転送要求調停手段は、

- 前記最優先データ転送候補検出手段により検出された結果によって、前記優先度情報登録手段に登録されている優先度情報を変更すること、
- 15
- を特徴とする、画像処理装置。

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/06590

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F13/28, Int.Cl⁷G06F13/362

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F13/28, Int.Cl⁷G06F13/36,
Int.Cl⁷ G06F13/36, Int.Cl⁷G06F13/38,
Int.Cl⁷ H04N1/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Toroku Jitsuyo Shinan Koho 1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 5-158864, A (Hitachi Cable, Ltd.), 25 June, 1993 (25.06.93) (Family: none)	1-9
Y	JP, 11-143812, A (Matsushita Electric Ind. Co., Ltd.), 28 May, 1999 (28.05.99) (Family: none)	1-9
Y	JP, 4-2768456, A (NEC Corporation), 01 October, 1992 (01.10.92) (Family: none)	1-9
Y	US, A, 005940189&JP,8-307628,A (Sanyo Electric Co., Ltd.), 22 November, 1996 (22.11.96), &GB,A,002300781,GB,A0,009609862 &DE,A,019618955	4
Y	JP, 8-36542, A (NEC Eng. Ltd.), 06 February, 1996 (06.02.96) (Family: none)	5-9
Y	JP, 5-204831, A (Mitsubishi Electric Corporation), 13 August, 1993 (13.08.93) (Family: none)	5-9
Y	JP, 6-110825, A (NEC Corporation), 22 April, 1994 (04.22.96) (Family: none)	6-9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
25 February, 2000 (25.02.00)

Date of mailing of the international search report
14 March, 2000 (14.03.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/06590

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 8-137780, A (Ricoh Company, Ltd.), 31 May, 1996 (31.05.96) (Family: none)	6-9
Y	JP, 1-193959, A (Toshiba Corporation), 03 August, 1989 (03.08.89) (Family: none)	7-9
Y	JP, 8-249269, A (Oki Electric Industry Co., Ltd.), 28 August, 1996 (28.08.96) (Family: none)	9
Y	JP, 9-91247, A (NEC Eng. Ltd.), 04 April, 1997 (04.04.97) (Family: none)	9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl¹G06F13/28, Int. Cl¹G06F13/362

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl¹G06F13/28, Int. Cl¹G06F13/36,
Int. Cl¹G06F13/36, Int. Cl¹G06F13/38,
Int. Cl¹H04N1/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-2000年
日本国実用新案登録公報 1996-2000年
日本国登録実用新案公報 1994-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 5-158864, A (日立電線株式会社), 25. 6月. 1993 (25. 06. 93) (ファミリー無し)	1-9
Y	JP, 11-143812, A (松下電器産業株式会社), 28. 5月. 1999 (28. 05. 99) (ファミリー無し)	1-9
Y	JP, 4-2768456, A (日本電気株式会社), 1. 10月. 1992 (01. 10. 92) (ファミリー無し)	1-9
Y	US, A, 005940189&JP, 8-307628, A (三洋電機株式会社), 22. 11月. 1996 (22. 11. 96)&GB, A, 002300781, GB, A0, 009609862&DE, A, 019618955	4
Y	JP, 8-36542, A (日本電気エンジニアリング株式会社), 6. 2月. 1996 (06. 02. 96) (ファミリー無し)	5-9
Y	JP, 5-204831, A (三菱電機株式会社), 13. 8月. 1993 (13. 08. 93) (ファミリー無し)	5-9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

25. 02. 00

国際調査報告の発送日

14.03.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

仲間 晃

5R

9650

電話番号 03-3581-1101 内線 6906

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 6-110825, A (日本電気株式会社) , 22. 4月. 1994 (22. 04. 94) (ファミリー無し)	6-9
Y	JP, 8-137780, A (株式会社リコー) , 31. 5月. 1996 (31. 05. 96) (ファミリー無し)	6-9
Y	JP, 1-193959, A (株式会社東芝) , 3. 8月. 1989 (03. 08. 89) (ファミリー無し)	7-9
Y	JP, 8-249269, A (沖電気工業株式会社) , 27. 9月. 1996 (27. 09. 96) (ファミリー無し)	9
Y	JP, 9-91247, A (日本電気エンジニアリング株式会社) , 4. 4月. 1997 (04. 04. 97) (ファミリー無し)	9